

End of Result Set

 [Generate Collection](#) [Print](#)

L2: Entry 1 of 1.

File: JPAB

Aug 24, 2001

PUB-N0: JP02001230407A
DOCUMENT-IDENTIFIER: JP 2001230407 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: August 24, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
INOUE, KAORU	
NISHII, KATSUNORI	
MASATO, HIROYUKI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	

APPL-NO: JP2000373612
APPL-DATE: December 7, 2000

INT-CL (IPC): H01 L 29/778; H01 L 21/338; H01 L 29/812

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device for improving breakdown voltage characteristics by reducing the leakage current of a field effect transistor due to a gallium nitride-based semiconductor.

SOLUTION: This semiconductor device is provided with a buffer layer 102 containing GaN where a substrate 101 and a surface formed on the substrate 101 are the c surface of a Ga atom, a channel layer 103 containing GaN or InGaN where a surface formed on the buffer layer 102 is the c surface of the Ga or In atom, an electron supply layer 104 containing AlGaN where a surface formed on the channel layer 103 is the c surface of Al or Ga atom, a source electrode 106 and a drain electrode 108 formed on the electron supply layer 104, a cap layer 105 containing the GaN or InGaN that is the c surface of the Ga or In atom formed between the source electrode 106 and the drain electrode 108, and a gate electrode that is formed so that it is in contact with the cap layer 105.

COPYRIGHT: (C)2001, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-230407

(P2001-230407A)

(43)公開日 平成13年8月24日 (2001.8.24)

(51)Int.Cl'

H01L 29/778
21/338
29/812

識別記号

F I

H01L 29/80

マーク*(参考)

H

審査請求 未請求 請求項の数18 OL (全 11 頁)

(21)出願番号 特願2000-373612(P2000-373612)
(22)出願日 平成12年12月7日 (2000.12.7)
(31)優先権主張番号 特願平11-349330
(32)優先日 平成11年12月8日 (1999.12.8)
(33)優先権主張国 日本 (JP)

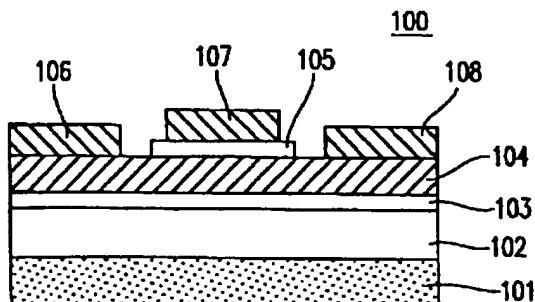
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 井上 薫
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 西井 勝則
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 正戸 宏幸
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(74)代理人 10007822
弁理士 山本 秀策

(54)【発明の名称】 半導体装置

(57)【要約】 (修正有)

【課題】 硝化ガリウム系半導体による電界効果トランジスタのリーク電流を低減し、耐圧特性を改善出来る半導体装置を提供する。

【解決手段】 基板101と基板101の上に形成された表面がGaN原子のc面であるGaNを含むバッファ層102と、バッファ層102の上に形成された表面がGaN又はInN原子のc面であるGaN又はInGaNを含むチャネル層103と、チャネル層103の上に形成された表面がAl又はGaN原子のc面であるAlGaNを含む電子供給層104と、電子供給層104の上に形成されたジース電極106ドレイン電極108と、ソース電極106、ドレイン電極108の間に形成されたGaN又はInN原子のc面であるGaN又はInGaNを含むキャップ層105と、キャップ層105に接するよう形成されたゲート電極を備える。



【特許請求の範囲】

【請求項1】 基板と、

該基板の上に形成されたGaNを含むバッファ層であって、該バッファ層の表面がGaN原子のc面である、バッファ層と、

該バッファ層の上に形成されたGaNまたはInGaNを含むチャネル層であって、該チャネル層の表面がGaNまたはIn原子のc面である、チャネル層と、

該チャネル層の上に形成されたAlGaNを含む電子供給層であって、該電子供給層の表面がAlまたはGaN原子のc面である、電子供給層と、

該電子供給層の上に形成されたソース電極およびドレイン電極と、

該ソース電極と該ドレイン電極との間に形成されたGaNまたはInGAAINを含むキャップ層であって、該キャップ層の表面はGaNまたはIn原子のc面であり、該キャップ層の少なくとも一部が該電子供給層に接する、キャップ層と、

少なくとも一部が該キャップ層に接するように形成されたゲート電極と、
を備えた半導体装置。

【請求項2】 前記ゲート電極の少なくとも一部が前記電子供給層に接するように形成される、請求項1に記載の半導体装置。

【請求項3】 前記ゲート電極が前記キャップ層の上に形成される、請求項1に記載の半導体装置。

【請求項4】 前記キャップ層はInGAAINからなり、

該キャップ層の組成はc面内で前記バッファ層とほぼ格子定数の整合がとれ、

かつ該キャップ層内に発生する分極の大きさの絶対値が前記電子供給層内に発生する分極の絶対値よりも小さくなるように該電子供給層は形成される、請求項1に記載の半導体装置。

【請求項5】 前記キャップ層にn型不純物が部分的あるいは全体に添加された、請求項1に記載の半導体装置。

【請求項6】 前記ゲート電極が前記ドレイン電極よりも前記ソース電極の近くに位置する、請求項1に記載の半導体装置。

【請求項7】 前記ゲート電極の表面積が前記キャップ層の表面積よりも大きい、請求項3に記載の半導体装置。

【請求項8】 前記ゲート電極は、前記キャップ層が薄膜化または除去された領域に位置する、請求項1に記載の半導体装置。

【請求項9】 前記ゲート電極は前記キャップ層の前記ソース電極側に形成され、該ゲート電極と前記ドレイン電極との間に前記キャップ層が形成される、請求項1に記載の半導体装置。

【請求項10】 前記キャップ層は、前記電子供給層の上に形成された半導体層と、該半導体層上に形成された絶縁膜とを備える、請求項1に記載の半導体装置。

【請求項11】 基板と、
該基板の上に形成されたAlGaNを含むバッファ層であって、該バッファ層の表面がN原子のc面である、バッファ層と、

該バッファ層の上に形成されたAlGaNを含む電子供給層であって、該電子供給層の表面がN原子のc面である、電子供給層と、

該電子供給層の上に形成されたGaNまたはInGaNを含むチャネル層であって、該チャネル層の表面がN原子のc面である、チャネル層と、

該チャネル層の上に形成されたソース電極およびドレイン電極と、

該ソース電極と該ドレイン電極との間に形成されたAlGaNを含むキャップ層であって、該キャップ層の表面はN原子のc面であり、該キャップ層の少なくとも一部が該チャネル層に接する、キャップ層と、

20 少なくとも一部が該キャップ層に接するように形成されたゲート電極と、を備えた半導体装置。

【請求項12】 前記ゲート電極の少なくとも一部が前記チャネル層に接するように形成される、請求項11に記載の半導体装置。

【請求項13】 前記ゲート電極が前記キャップ層の上に形成される、請求項11に記載の半導体装置。

【請求項14】 前記ゲート電極が前記ドレイン電極よりも前記ソース電極の近くに位置する、請求項11に記載の半導体装置。

30 【請求項15】 前記ゲート電極の表面積が前記キャップ層の表面積よりも大きい、請求項13に記載の半導体装置。

【請求項16】 前記ゲート電極は、前記キャップ層が薄膜化または除去された領域に位置する、請求項11に記載の半導体装置。

【請求項17】 前記ゲート電極は前記キャップ層の前記ソース電極側に形成され、該ゲート電極と前記ドレイン電極との間に前記キャップ層が形成される、請求項11に記載の半導体装置。

40 【請求項18】 前記キャップ層は、前記電子供給層の上に形成された半導体層と、該半導体層上に形成された絶縁膜とを備える、請求項11に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関するものであり、詳細には、一般的に $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1$) で表される窒化ガリウム系半導体のヘテロ構造を用いた電界効果型トランジスタに関するものである。

【従来の技術】GaN、AlGaN、InGaN、InAlGaN等の窒化ガリウム系半導体は高い絶縁破壊電界強度、高い熱伝導率、高い電子飽和速度を有しており高周波のパワーデバイス材料として有望である。特に、AlGaN/GaNヘテロ接合構造を有する半導体装置は、AlGaNとGaNとのヘテロ接合界面付近に電子が高濃度で蓄積し、いわゆる二次元電子ガスが形成される。この二次元電子ガスはAlGaNに添加されるドナー不純物とは空間的に分離されて存在するため高い電子移動度を示し、このヘテロ構造を用いて電界効果型トランジスタを作製した場合、ソース抵抗成分を低減することができる。また、ゲート電極から二次元電子ガスまでの距離dは通常数十nmと短いため、ゲート長Lgが100nm程度と短くても、ゲート長Lgと距離dとの比(すなわち、アスペクト比)Lg/dは、5から10程度に大きくなる。従って、ヘテロ構造を用いた半導体装置は、短チャネル効果が小さく、良好な飽和特性を有する電界効果型トランジスタを容易に作製することができるという優れた特徴を有する。さらにAlGaN/GaN系ヘテロ構造における二次元電子は 1×10^5 V/cm程度の高電界領域で、現在高周波トランジスタとして普及しているAlGaAs/InGaAs系の場合に比べて2倍以上の電子速度を有し、高周波のパワーデバイスへの応用が期待されている。

【0003】図9に、従来の半導体装置900を示す。半導体装置900は、サファイア基板またはSiC基板901上に、GaNを含むバッファ層902と、GaNまたはInGaNから形成されるチャネル層903と、AlGaNを含む電子供給層904とが順次積層された構造である。電子供給層904上にソース電極906と、ゲート電極907と、ドレイン電極908とが設けられる。

【0004】このAlGaN/GaN系ヘテロ構造は、通常[0001]面(c面)のサファイア基板またはSiC基板901上有機金属気相成長法や分子線エピタキシー法を用いて結晶成長させることで形成される。サファイア基板またはSiC基板901上にGaNを含むバッファ層902を形成する場合、基板901とバッファ層902との格子定数は大きく異なるので、バッファ層902を厚く形成することが必要である。なぜなら、バッファ層902を厚く形成することで、バッファ層902と基板901との格子不整合に基づく歪が十分緩和されるからである。この厚いバッファ層902上に、Siなどのn型不純物を添加したAlGaNを含む電子供給層904を数十nmの厚さで形成すると、選択ドーピングの効果により、AlGaNとGaNとのヘテロ界面において電子親和力の大きいバッファ層902の方に二次元電子ガス(すなわち、チャネル層903)が形成される。MOCVD(有機金属気相成長)法で形成されたヘテロ構造においては、結晶表面は通常、III族原子

GaNの面であり、この二次元電子ガスの濃度は、(電子供給層904に含まれる)AlGaNと(バッファ層902に含まれる)GaNとの自発分極の差に、AlGaNが受ける引っ張り応力によるc軸方向のピエゾ分極の効果が加わり、電子供給層904に添加したn型不純物の濃度から予測される値よりも高濃度の電子が蓄積する。電子供給層904のAlGaNのAl組成が0.2から0.3の場合に、チャネル層903の電子濃度は $1 \times 10^{13}/cm^2$ 程度であり、これはGaAs系デバイスの約3倍になる。このような高濃度の二次元電子ガスが蓄積されることから、GaN系ヘテロ構造電界効果型トランジスタ(FET)として使用される半導体装置900は、パワーデバイスとして非常に有望視されている。

【0005】

【発明が解決しようとする課題】しかしながら、従来の半導体装置900はいくつかの問題点を有する。この問題点として、(1)結晶成長技術、および、結晶成長技術に関連するプロセスが完全ではないため良質の結晶が得られていないこと、(2)エッチングプロセスの工程を経た場合にそのエッチングプロセスにより導入された損傷によりデバイス特性が劣化し、予測されるパワー特性が十分に実現されていないことが挙げられる。

【0006】結晶成長に関する問題のひとつは、バッファ層902に含まれるノンドーパのGaNが通常n型を示し、キャリア濃度も $10^{16}/cm^3$ 程度あるいはそれ以上と高いことに起因する。これは、結晶成長時に構成元素である窒素(N)が抜け、窒素の空孔ができやすいからと考えられる。このような残留のキャリアがあると装置のGaNバッファ層902を介する漏れ電流成分が大きくなり、特に高温で動作させた場合にピンチオフ特性が悪くなるなど、素子特性の劣化につながる。また、複数のGaN系ヘテロ構造FETを同一の基板に形成した場合にFET同士が互いに干渉し合い、正常な動作が妨げられるという素子分離に関する問題も生じる。さらにゲート電極907がこのGaNバッファ層902上方に設けられた場合には、ゲートリーク電流の増大や素子耐圧の低下などの問題が発生する。

【0007】エッチングプロセス技術上の問題点として、(バッファ層902に含まれる)GaN、または、(電子供給層904に含まれる)AlGaNの表面に損傷が形成されることが挙げられる。GaNまたはAlGaNはウェットエッチングを用いて除去あるいは削ることが困難であるため、通常ドライエッチングを用いてエッチング加工が行われるが、ドライエッチング時に形成される表面の損傷などによってバッファ層902または電子供給層904の表面にリーク電流が流れやすくなる。特に表面の窒素が欠乏することで、エッチングにより露出したバッファ層902表面の導電性が高まりリーク電流が増大すると考えられている。

【0008】本発明は以上述べたGaN系ヘテロ構造FETの問題点に鑑みなされたものであり、その第一の目的はGaN層中やGaN層表面に意図せず導入される欠陥や傷に伴う残留キャリアによる表面リーコ電流を著しく低減した半導体装置 (GaN系ヘテロ構造FET) を提供するものである。本発明の第二の目的は、表面リーコ電流を低減しつつ、素子の耐電圧 (耐圧) を向上することのできる半導体装置 (GaN系ヘテロ構造FET) を提供するものである。

【0009】

【課題を解決するための手段】本発明の半導体装置は、基板と、該基板の上に形成されたGaNを含むバッファ層であって、該バッファ層の表面がGaN原子のc面である、バッファ層と、該バッファ層の上に形成されたGaNまたはInGaNを含むチャネル層であって、該チャネル層の表面がGaNまたはIn原子のc面である、チャネル層と、該チャネル層の上に形成されたAlGaNを含む電子供給層であって、該電子供給層の表面がAlまたはGaN原子のc面である、電子供給層と、該電子供給層の上に形成されたソース電極およびドレイン電極と、該ソース電極と該ドレイン電極との間に形成されたGaNまたはInGAAINを含むキャップ層であって、該キャップ層の表面はGaNまたはIn原子のc面であり、該キャップ層の少なくとも一部が該電子供給層に接する、キャップ層と、少なくとも一部が該キャップ層に接するように形成されたゲート電極と、を備える。

【0010】前記ゲート電極の少なくとも一部が前記電子供給層に接するように形成されてもよい。

【0011】前記ゲート電極が前記キャップ層の上に形成されてもよい。

【0012】前記キャップ層はInGAAINからなり、該キャップ層の組成はc面内で前記バッファ層とほぼ格子定数の整合がとれ、かつ該キャップ層内に発生する分極の大きさの絶対値が前記電子供給層内に発生する分極の絶対値よりも大きくなるように該電子供給層は形成されてもよい。

【0013】前記キャップ層にn型不純物が部分的あるいは全体に添加されてもよい。

【0014】前記ゲート電極が前記ドレイン電極よりも前記ソース電極の近くに位置してもよい。

【0015】前記ゲート電極の表面積が前記キャップ層の表面積よりも大きくてもよい。

【0016】前記ゲート電極は、前記キャップ層が薄膜化または除去された領域に位置してもよい。

【0017】前記ゲート電極は前記キャップ層の前記ソース電極側に形成され、該ゲート電極と前記ドレイン電極との間に前記キャップ層が形成されてもよい。

【0018】前記キャップ層は、前記電子供給層の上に形成された半導体層と、該半導体層上に形成された絶縁膜とを備えてもよい。

【0019】上記の構成とすることで、ショットキー接合の障壁高さを高めることにより、ソース抵抗の増大を防止しつつリーコ電流を低減すること、あるいはソース抵抗の増大を防止しつつ耐圧の向上を図ることができる半導体装置を提供することができる。さらに、キャップ層をゲート・ドレイン間のより広い範囲に残した構造とすることで、さらに半導体装置の耐圧を向上させることができる。

【0020】本発明の半導体基板は、基板と、該基板の

10 上に形成されたAlGaNを含むバッファ層であって、該バッファ層の表面がN原子のc面である、バッファ層と、該バッファ層の上に形成されたAlGaNを含む電子供給層であって、該電子供給層の表面がN原子のc面である、電子供給層と、該電子供給層の上に形成されたGaNまたはInGaNを含むチャネル層であって、該チャネル層の表面がN原子のc面である、チャネル層と、該チャネル層の上に形成されたソース電極およびドレイン電極と、該ソース電極と該ドレイン電極との間に形成されたAlGaNを含むキャップ層であって、該キャップ層の表面はN原子のc面であり、該キャップ層の少なくとも一部が該チャネル層に接する、キャップ層と、少なくとも一部が該キャップ層に接するように形成されたゲート電極と、を備える。

【0021】前記ゲート電極の少なくとも一部が前記チャネル層に接するように形成されてもよい。

【0022】前記ゲート電極が前記キャップ層の上に形成されてもよい。

【0023】前記ゲート電極が前記ドレイン電極よりも前記ソース電極の近くに位置してもよい。

30 【0024】前記ゲート電極の表面積が前記キャップ層の表面積よりも大きくてもよい。

【0025】前記ゲート電極は、前記キャップ層が薄膜化または除去された領域に位置してもよい。

【0026】前記ゲート電極は前記キャップ層の前記ソース電極側に形成され、該ゲート電極と前記ドレイン電極との間に前記キャップ層が形成されてもよい。

【0027】前記キャップ層は、前記電子供給層の上に形成された半導体層と、該半導体層上に形成された絶縁膜とを備えてもよい。

40 【0028】上記の構成とすることで、ショットキー接合の障壁高さを高めることにより、ソース抵抗の増大を防止しつつリーコ電流を低減すること、あるいはソース抵抗の増大を防止しつつ耐圧の向上を図ることができる半導体装置を提供することができる。さらに、キャップ層をゲート・ドレイン間のより広い範囲に残した構造とすることで、さらに半導体装置の耐圧を向上させることができる。

【0029】

【発明の実施の形態】(実施の形態1) 本発明の第1の実施形態に係る半導体装置を図面に基づいて説明する。

図1Aは本発明の第1の実施形態に係る電界効果型トランジスタ(FET)100の断面図であり、図1Bはその上面図である。電界効果型トランジスタ100は、サファイアまたはSiCから形成される基板101の上に、膜厚が約2~3μmのGaNバッファ層102、GaNまたはInGaNから形成されるチャネル層103、AlNの組成比が約0.15から0.5であり、Siなどのn型不純物を約 $2 \times 10^{18} \text{ cm}^{-3}$ の濃度で添加したn型AlGaN電子供給層104および膜厚が約10~20nmのGaNキャップ層105が順次積層された構造である。GaNキャップ層105は中央部のみ残して選択的にエッチング除去され、ゲート電極107がGaNキャップ層105上に形成される。ソース電極106およびドレイン電極108は、ゲート電極107に隣接して、GaNキャップ層105が除去されて露出した後のAlGaN電子供給層104表面上に形成される。ここで、各窒化物層の表面はIII族原子のc面で形成されている。

【0030】図1Bに示すように、素子形成領域109の周囲には、素子形成領域109を取り囲む分離領域110がイオン注入などのエッチングを伴わない方法によって形成されている。GaNキャップ層105はゲート電極107よりも広い範囲に形成される。また、GaNキャップ層105はソース電極106およびドレイン電極108と接触しないように形成される。GaNキャップ層105は実効的なショットキー電極の障壁高さ(ピークボテンシャル)を高めるように作用し、これはGaNキャップ層105とAlGaN電子供給層104に発生する分極の大きさの差によって説明される。

【0031】次に、このような構成の電界効果型トランジスタ100に応力が加わった場合に発生する分極の影響について説明する。

【0032】GaNバッファ層102は格子不整合に伴う圧縮歪を緩和するのに十分に厚いため、歪の影響によるピエゾ分極は発生せず、自発分極のみが発生する。これに対して、AlGaN電子供給層104は引っ張り歪を受け、自発分極に加えて内部に大きなピエゾ分極が発生する。この分極の方向は、基板101のc軸方向すなわち基板101の表面に垂直な方向である。このような分極の効果を考慮して、図1Aに示した半導体装置100についてGaNキャップ層105とゲート電極107との界面を基準(距離0)とした深さ方向のポテンシャルを理論的に計算した結果を図2に示す。

【0033】図2では、GaNキャップ層105の厚さが10nm、ゲート電圧が0Vに設定している。分極の影響によってGaNキャップ層105に電位差が生じ、それによりAlGaN電子供給層104とのヘテロ界面におけるポテンシャル(図2に示したピークボテンシャル)が引き上げられる。このため実効的なショットキー障壁が高くなる。

【0034】図3には、GaNキャップ層105の厚さを0~20nmまで変化させた場合の実効的な障壁高さ(ピークボテンシャル)の変化(図3において×で示す)と、GaNキャップ層105とAlGaN電子供給層104とのヘテロ界面に溜まる電子の濃度変化(図3において○で示す)を理論的に計算した結果を示す。

【0035】図3に示すように、GaNキャップ層105の厚さが増すとともに、実効的なショットキー電極の障壁高さ(ピークボテンシャル)は徐々に高くなる一方、GaNキャップ層105とAlGaN電子供給層104とのヘテロ界面に溜まる電子の濃度は低下することがわかる。ピークボテンシャルが増加する理由は、GaNキャップ層105に対するショットキー電極の障壁高さが一定であるのに対して、GaNキャップ層105で発生する電位差がGaNキャップ層105の膜厚の増加と共に大きくなるからである。従って、GaNキャップ層105を挿入することはピークボテンシャルを効果的に増大させる。また、GaNキャップ層105の厚さが増すとともに電子濃度は低下する。これはGaNキャップ層105に発生する電位差分だけゲート電極に逆バイアスが印加されたことに起因する。

【0036】以上のように、GaNキャップ層105を設けることでピークボテンシャルが増し、ヘテロ界面に溜まる電子の濃度が低下する。これらはすべて電界効果型トランジスタの高耐圧化に寄与する。しかしながら、リーク電流にはバッファ層102の表面を伝わって流れる成分があり、特にバッファ層102に含まれるGaNのように表面の窒素原子が欠乏することによってドナーを生成するような材料では、このリーク電流成分を低減することが重要となる。またヘテロ界面に溜まる電子の濃度が低下することは、GaNキャップ層105がある領域の抵抗が増加することにつながり、電界効果型トランジスタのソース抵抗を増大させ、トランジスタの性能低下につながる。

【0037】本発明の電界効果型トランジスタ100では、ゲート・ソース間の領域のGaNキャップ層105が除去されている(すなわち、ソース電極106とキャップ層105が直接接触していない)ために、ソース抵抗がさらに低減される。さらに、ソース・ゲート間およびゲート・ドレイン間のリーク電流もGaNキャップ層105が除去されている(すなわち、ソース電極106とキャップ層105が直接接触せず、さらにドレイン電極108とキャップ層105が直接接触していない)ことにより低減できる。すでに述べたようにGaNキャップ層105に発生する電位差によって図1Bの矢印aで示す面内方向においてポテンシャルが不連続となり、リーク電流に寄与する電子はこの不連続値を越えるエネルギーを獲得しなければならないからである。室温のエネルギーは26meV程度であるので、ポテンシャルの不連続値が260meVあればリーク電流は4桁程度低下

することとなり、極めて大きな効果となる。実際に図3のピークボテンシャルの変化を見ると10nmの厚さのGaNキャップ層105を挿入することで、GaNキャップ層105を挿入しない場合と比較して1eV程度のボテンシャル不連続値が得られるので、さらにリーク電流値を低減できることが期待される。

【0038】図4は本発明の実施の形態1の第1の変形例である電界効果型トランジスタ(FET)400を示す。電界効果型トランジスタ400は、図1Aを参照して説明した電界効果型トランジスタ100とは、ゲート電極407が積層されるGaNキャップ層405の部分がエッチングによって薄層化あるいは除去された構成とした点で異なる。図4では、ゲート電極407が、電流供給層404に接する例が示されている。このようにGaNキャップ層405が薄層化または除去され、その領域にゲート電極407が積層されることで、GaNキャップ層405による相互コンダクタンスの劣化が防止される。この場合、ショットキーボルト高さの改善はされないものの、GaNキャップ層とAlGaN電子供給層の表面に水平な方向でのボテンシャルの不連続を利用することによりリーク電流の低減に寄与する。

【0039】なお、図1Aに示される半導体装置100では、キャップ層105の表面積がゲート電極107の表面積より大きい例を示したが、本発明はこれに限定されない。図5に本発明の実施の形態1の第2の変形例である電界効果型トランジスタ(FET)500を示す。電界効果型トランジスタ500は、図1Aを参照して説明した電界効果型トランジスタ100とは、GaNキャップ層505の幅はゲート電極507の幅よりも小さい点で異なる。従って、電界効果型トランジスタ500において、ゲート電極507はGaNキャップ層505の両側に広がった状態で積層されている。この構成としても、リーク電流の低減と耐圧の向上という効果を得ることができる。

(実施の形態2) 図6A～図6Eに、本発明の第2の実施形態に係る電界効果型トランジスタ(FET)の断面図を示す。図6A～図6Eに示す電界効果型トランジスタは、耐圧の向上を目的にGaNキャップ層605を設けている。

【0040】図6Aに示される電界効果型トランジスタ(FET)600は、図1に示した電界効果型トランジスタ(FET)100とは、GaNキャップ層605上に設けられるゲート電極607が、ソース電極606寄りに配置されている点で異なる。これにより、ゲート電極607直下のチャネル層603に広がる空乏層をよりドレイン電極608側に広げることができ、電界効果型トランジスタ600の耐圧を向上させることができる。

【0041】図6Bに示される電界効果型トランジスタ610は、図6Aに示した電界効果型トランジスタ600とは、ゲート電極607が形成されるGaNキャップ

50

層605の部分がエッチングによって薄層化あるいは除去された構成とした点で異なる。図6Bの電界効果型トランジスタ610では、ゲート電極607が電流供給層604に接するように、GaNキャップ層はエッチングされている。図6Bに示す電界効果型トランジスタ610では、GaNキャップ層605を導入することにより劣化する相互コンダクタンスを改善することができる。

【0042】図6Cに示される電界効果型トランジスタ620では、ゲート電極607はGaNキャップ層605上のソース電極606側の側縁部およびその側縁部に沿った電子供給層604上に設けられている。従って、GaNキャップ層605は、ゲート電極607とドレイン電極608との間に位置する。図6Cに示す電界効果型トランジスタ620の構成では、ゲート・ソース間のリーク電流は改善されないが、ゲート・ドレイン間の耐圧は改善される。特にゲート電極607がソース電極606側のキャップ層605の側縁部上にまたがって形成されているので、ゲート電極607が電子供給層604に接する部分のドレイン電極側の領域における電界集中を緩和でき、したがって、ゲート・ドレイン間の耐圧がより改善される。また図6Bに示される電界効果型トランジスタ610と同様に、ソース抵抗の増大が防止でき、FETの相互コンダクタンスが改善できる。

【0043】以上の実施の形態では、キャップ層605としてGaNを用いた例を説明した。しかしながら、キャップ層605としてGaNを用いた場合、その厚さをあまり厚くできない。なぜなら、図3に示すようにGaNの厚さを増加することによってシート電子濃度が低くなりすぎること、および/または、ピークボテンシャルが高くなりすぎてキャップ層605と電子供給層604の間に正孔が蓄積するようになるという事態が生じるからである。キャップ層605をシート電子濃度に大きな影響を与えることなく厚くしたいという要求は、図6Cに示した電界効果型トランジスタ620で特に生じる。電界効果型トランジスタ620でキャップ層605を厚くすれば、ゲート電極607のドレイン側近傍の電界集中が緩和され、電界効果型トランジスタ620の耐圧が向上するからである。さらに、電界効果型トランジスタ620でキャップ層605を厚くすると、ゲート電極607がキャップ層605に重なっている部分の寄生ゲート容量を低減でき、電界効果型トランジスタ620の高周波特性を改善することにつながる。

【0044】適度に低下させたシート電子濃度を保ちつつ、キャップ層605の厚さを厚くする方法として次の二つが挙げられる。第一は、GaNキャップ層605の代わりにInGaAlNキャップ層を用いることである。第二は、キャップ層にn型不純物を添加し、キャップ層で生じる電位差を少なくするものである。

【0045】第一の方法において、InGaAlNの組成に要求される要件の1つは、膜厚を厚くためにc面の

格子定数をGaNバッファ層の格子定数とほぼ整合させることである。このためには $In_{0.18}Al_{0.72}N$ とGaNで格子整合がとれるので、 $In_{0.18}Al_{0.72}N$ とGaNの混晶とすればよい。すなわち ($In_{0.18}Al_{0.72}N$)_x $Ga_{1-x}N$ という組成にすればよい。実際には多少の組成のずれは許容される。別の要件は、 $InGaAlN$ キャップ層内部の分極の大きさを $AlGaN$ 電子供給層604に生じる分極の大きさよりも小さく保つことである。このことは ($In_{0.18}Al_{0.72}N$)_x $Ga_{1-x}N$ の x の値に制限を与えるが、これによる x の値の上限は $AlGaN$ 電子供給層604における AlN の組成に依存する。しばしば用いられる $AlGaN$ 電子供給層604の AlN 組成について x の上限を計算によって求めると、 $AlGaN$ 電子供給層604の AlN 組成が10%の時、 x の上限は約0.16、 $AlGaN$ 電子供給層604の AlN 組成が30%の時、 x の上限は約0.47となる。 x の上限は、 $AlGaN$ 電子供給層604の AlN 組成比の約1.5倍と考えればよい。

【0046】第二の方法では、添加する不純物の濃度によって適切なキャップ層605の厚さが決定される。キャップ層の材料はGaNであっても $InGaAlN$ であってもよいが、GaNを用いるものと仮定する。図2と同様なボテンシャルを $AlGaN$ 電子供給層104以下の領域(すなわち、図2の距離10nm以上の領域)で維持しつつキャップ層の厚さを厚くすることを考えると次のようになる。

【0047】図2においてキャップ層105の表面電位はショットキー障壁の高さ0.76Vで固定されている。このところで電界が0となり、かつキャップ層105と $AlGaN$ 電子供給層104の境界における電位(約1.6V)と電界を等しくするようにドーピングをおこなえばキャップ層の上にいくらでも厚くアンドープのGaN層を形成できることになる。このような条件を見積もると、キャップ層の厚さとして16.7nm、n型不純物のドーピング濃度として $3 \times 10^{18} / cm^3$ が得られる。このn型GaNキャップ層の上に所望の厚さのアンドープGaNキャップ層を形成すればよい。

【0048】上記のキャップ層の構成は、実施形態の実現性を示すための一例であって、実際には様々な濃度と厚さを組み合わせたキャップ層を設計することができる。また図6Bおよび図6Cに示す電界効果型トランジスタ610、620のようにゲート電極による電荷制御がゲート電極607と電界供給層604との接する部分で主になされる場合には、図6Dおよび図6Eに示す電界効果型トランジスタ630、640のようにキャップ層605は、n型GaN層などの半導体層605bとその上に形成した絶縁膜605aの組み合わせでもかまわない。絶縁膜としては SiO_2 膜や塗化シリコン膜が用いることができるが、界面準位密度が低いといわれている塗化シリコン膜を用いるほうが望ましい。なお、図6

Dに示される電界効果型トランジスタ630は、図6Bに示される電界効果型トランジスタ610のキャップ層605の代わりに、半導体層605bとその上に絶縁膜605aを設けたもの、図6Eに示される電界効果型トランジスタ640は、図6Cに示される電界効果型トランジスタ620のキャップ層605の代わりに、半導体層605bとその上に絶縁膜605aとを設けたものである。電界効果型トランジスタ630においてゲート電極607は $AlGaN$ 電子供給層604だけでなくキャップ層605上面にも接するように形成されているが、電界効果型トランジスタ610においてもゲート電極607が $AlGaN$ 電子供給層604だけでなくキャップ層605上面にも接するように形成しても何ら差し支えないことはいうまでもない。特に、前述したようにゲート電極607をキャップ層605上にドレイン側へ伸ばすことによって耐圧が向上することが期待される。

(実施の形態3) 実施の形態1および2において説明した電界効果型トランジスタ(FET)の構成は、ヘテロ構造の表面がIII族原子の場合であったが、V族原子の窒素が表面を形成する場合は別の構成にする必要がある。ヘテロ構造の表面をV族原子の窒素とした場合の例を以下に説明する。

【0049】図7に上記の具体例として電界効果型トランジスタ700を示す。電界効果型トランジスタ700は、サファイアまたはSiCから形成される基板701の上に、膜厚が約2~3μmで AlN の組成比が約0.15から0.5の $AlGaN$ バッファ層702、Siなどのn型不純物を約 $2 \times 10^{18} / cm^3$ の濃度で添加したn型 $AlGaN$ 電子供給層703、膜厚が約15~20nmのGaNあるいは $InGaN$ よりなるチャネル層704、膜厚が約10nmの $AlGaN$ キャップ層705が順次積層された構造である。この電界効果型トランジスタ700において各 $AlGaN$ 層における AlN 組成比は同じでよいが、表面の $AlGaN$ キャップ層705の AlN 組成は分極の効果を考慮すると $AlGaN$ バッファ層702の AlN 組成よりも大きくすることができる。図1Aに示される電界効果型トランジスタ100と同様に、 $AlGaN$ キャップ層705は中央部のみを残して選択的に除去され、ゲート電極707が $AlGaN$ キャップ層705の上に形成される。ソース電極706およびドレイン電極708は、ゲート電極707に隣接して、 $AlGaN$ キャップ層705が除去された後のチャネル層704の上に形成される。上記のように、各窒化物層の表面はV族原子(窒素)のc面で形成されている。

【0050】GaNを主体とするヘテロ構造電界効果型トランジスタ700において、表面がV族原子となるような分子線エピタキシー法における成長条件はすでに報告されている。表面がV族原子となるように成膜を行つた場合、各層に発生する分極の方向は表面がIII族原

子の場合とは逆となるため、図1Aに示した電界効果型トランジスタ100のバッファ層102を形成する材料としてGaNの代わりに、バッファ層702としてAlGaNが用いられている。その上にSiなどのn型不純物を添加したAlGaNを含む電子供給層703、チャネル層704が順次形成されている。チャネル層704への電子供給はチャネル層704の下にあるAlGaN電子供給層703からとチャネル層704と電子供給層703間の分極の差により誘起されるプラスの電荷によりなされる。従って、通常このチャネル層704にゲート電極が直接形成されることになる。ここでAlGaNバッファ層702は格子歪が緩和するように十分厚く形成され、GaNまたはInGaNを含むチャネル層704は圧縮歪を受けるので数10nmと比較的薄く形成される。キャップ層705としては、GaNの代わりにAlGaNを用いる。

【0051】このような構成とすることで、ソース抵抗の増大の防止、リーク電流の低減が図られることは実施形態1のところで説明したことと同様の理由による。

【0052】さらに、本実施形態において多数の変形例が考えられ、図8A～図8Eに電界効果型トランジスタ(FET)としてそれらの変形例を示す。ただし、図8A～図8Eに示される電界効果型トランジスタにおいて、各窒化物層の表面はV族原子(窒素)のc面で形成されている。

【0053】図8Aに示される電界効果型トランジスタ800は、図4に示される電界効果型トランジスタ400と同様にゲート電極807を形成するAlGaNキャップ層805の部分がエッチングによって薄層化または除去された構成としたものである。このような構成とすることで、AlGaNキャップ層805を導入することにより劣化する相互コンダクタンスを改善することができる。

【0054】図8Bに示される電界効果型トランジスタ810は、図5に示される電界効果型トランジスタ500に対応する。電界効果型トランジスタ(FET)810において、ゲート電極807はAlGaNキャップ層805の上に形成されるが、AlGaNキャップ層805の表面積はゲート電極807の表面積よりも小さい。従って、AlGaNキャップ層805はゲート電極807の底面よりも内側に形成された構成となる。電界効果型トランジスタ810の構成とすることで、リーク電流の低減と耐圧の向上ができる。

【0055】図8Cに示される電界効果型トランジスタ820は、図6Aに示される電界効果型トランジスタ600に対応する。電界効果型トランジスタ820は、図8Aに示した電界効果型トランジスタ(FET)800とはAlGaNキャップ層805上に設けられるゲート電極807の位置が異なる。ゲート電極807をソース電極806側に配置することによって、ゲート・ドレイ

ン間におけるAlGaNキャップ層805の占める領域がより広くなる。このような構成にすることによってゲート電極807直下のチャネル層804に広がる空乏層をよりドレイン電極808側に広げることができ、電界効果型トランジスタ820の耐圧を向上させることができる。

【0056】図8Dに示される電界効果型トランジスタ830は、図6Bに示される電界効果型トランジスタ610と対応する。電界効果型トランジスタ830は、図8Cに示した電界効果型トランジスタ820と、ゲート電極807が形成されるAlGaNキャップ層805の部分がエッチングによって薄層化あるいは除去される点で異なる。電界効果型トランジスタ830の構造のように、AlGaNキャップ層805を導入することで、劣化する相互コンダクタンスを改善することができる。

【0057】図8Eに示される電界効果型トランジスタ840は、図6Cに示される電界効果型トランジスタ620と対応する。電界効果型トランジスタ840は、ゲート電極807とドレイン電極808との間にAlGaNキャップ層805を設ける構造である。電界効果型トランジスタ840の構造にすることで、ゲート・ソース間のリーク電流は改善されないが、ゲート・ドレイン間の耐圧は改善される。

【0058】キャップ層805の厚さを厚くすることは、電界効果型トランジスタ840の構造でFETのゲートードレイン間の耐圧を向上する場合に有効となる。しかしながら、表面がV族原子である場合、AlGaN以外の材料を用いてキャップ層805の厚さを厚くすることは簡単ではない。これはヘテロ構造の表面がIII族の場合と異なって、チャネル層804を構成するGaNが面内で圧縮応力を受けるため自発分極の方向とピエゾ効果による分極の方向が互いに逆向きになり、全体としてGaNのチャネル層804内部に発生する分極の絶対値はかなり小さくなるからである。AlGaNバッファ層802と格子整合する材料ではAlGaNよりも分極の値を小さくできる材料は見つからない。従って、実施の形態2で述べたようなキャップ層805へのドーピングの方がAlGaN以外の材料を用いてキャップ層を厚くするよりもより簡単で有効となる。

【0059】また実施の形態2で述べたようにキャップ層805としてAlGaN層とその上に形成した絶縁膜の組み合わせを用いることも、電界効果型トランジスタ830、840の場合に有効である。絶縁膜としてはSiO₂膜や窒化シリコン膜が用いることができるが、界面準位密度が低いといわれている窒化シリコン膜を用いるほうが望ましい。

【0060】なお本発明で示したGaNバッファ層102、402、502、602、やAlGaNバッファ層702、802はそれぞれ基板101、401、501、601および701、801上に層厚が100nm

程度の比較的薄いAlN層を介して形成される場合が従来より報告されているが、本発明はそのような場合にも本質的に何ら変わることなく適用できることは言うまでも無い。

【0061】

【発明の効果】本発明の半導体装置は、窒化ガリウム系ヘテロ構造のソース抵抗の増大を防止しつつリーク電流を低減すること、あるいはソース抵抗の増大を防止しつつ耐圧の向上ができる半導体装置（電界効果型トランジスタ）を提供する。その結果、窒化ガリウム系ヘテロ構造の半導体装置のパワー特性向上が可能となる。

【図面の簡単な説明】

【図1 A】本発明の第1の実施の形態による電界効果型トランジスタを説明する断面図である。

【図1 B】本発明の第1の実施の形態による電界効果型トランジスタを説明する上面図である。

【図2】本発明の第1の実施形態に関わるポテンシャル図である。

【図3】本発明の第1の実施形態に関わるシート電子濃度およびピークポテンシャルのGaNキャップ層厚依存性を示すグラフである。

【図4】本発明の第1の実施形態の変形例による電界効果型トランジスタを説明する断面図である。

【図5】本発明第1の実施形態の別の変形例による電界効果型トランジスタを説明する断面図である。

【図6 A】本発明の第2の実施の形態による電界効果型トランジスタを説明する断面図である。

【図6 B】本発明の第2の実施の形態による電界効果型トランジスタを説明する断面図である。

10

30

【図6 C】本発明の第2の実施の形態による電界効果型トランジスタを説明する断面図である。

【図6 D】本発明の第2の実施の形態による電界効果型トランジスタを説明する断面図である。

【図6 E】本発明の第2の実施の形態による電界効果型トランジスタを説明する断面図である。

【図7】本発明の第3の実施の形態による電界効果型トランジスタを説明する断面図である。

【図8 A】本発明の第3の実施の形態の変形例による電界効果型トランジスタを説明する断面図である。

【図8 B】本発明の第3の実施の形態の変形例による電界効果型トランジスタを説明する断面図である。

【図8 C】本発明の第3の実施の形態の変形例による電界効果型トランジスタを説明する断面図である。

【図8 D】本発明の第3の実施の形態の変形例による電界効果型トランジスタを説明する断面図である。

【図8 E】本発明の第3の実施の形態の変形例による電界効果型トランジスタを説明する断面図である。

【図9】従来の電界効果型トランジスタを説明する断面図である。

【符号の説明】

101 基板

102 バッファ層

103 チャネル層

104 電子供給層

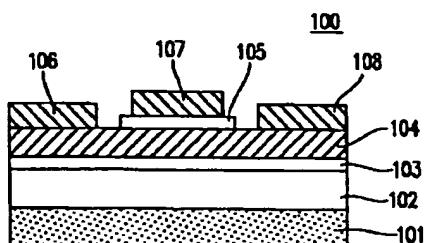
105 キャップ層

106 ソース電極

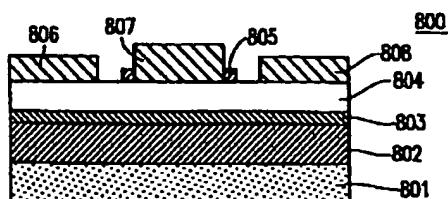
107 ゲート電極

108 ドレイン電極

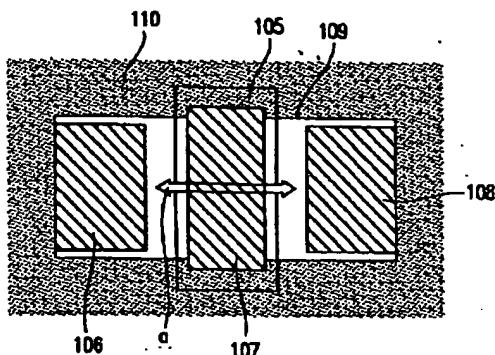
【図1 A】



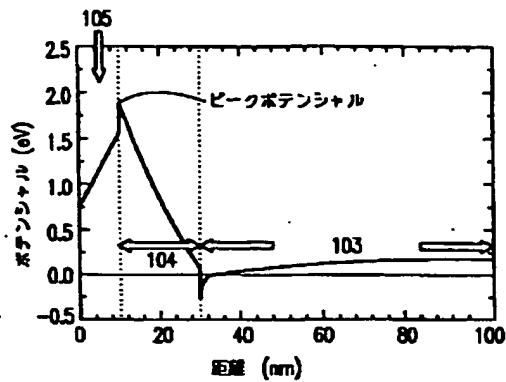
【図8 A】



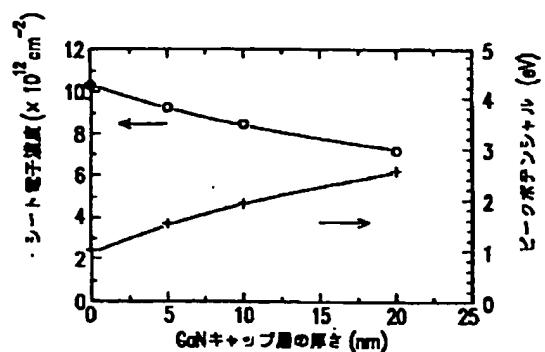
【図1 B】



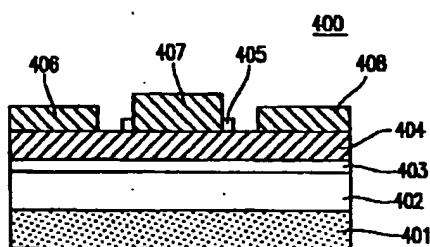
【図2】



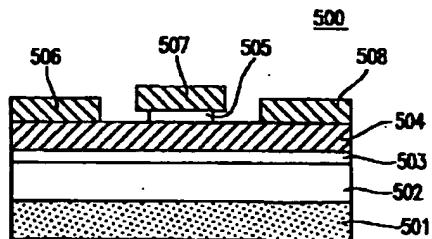
【図3】



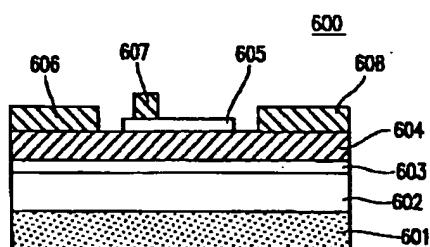
【図4】



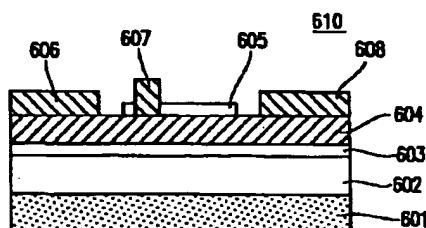
【図5】



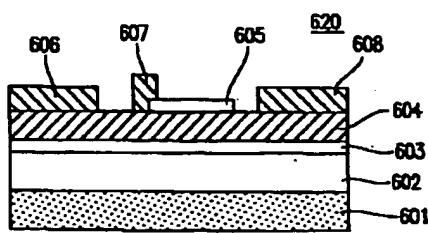
【図6A】



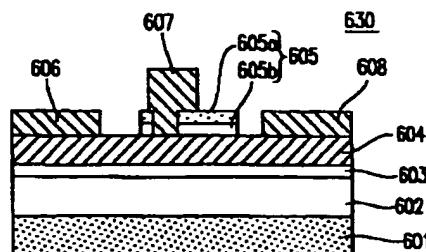
【図6B】



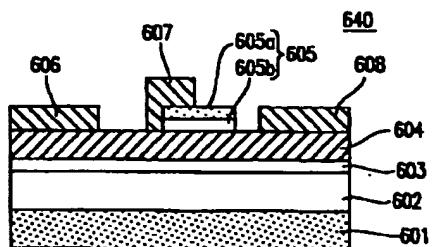
【図6C】



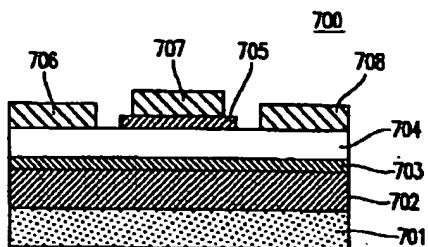
【図6D】



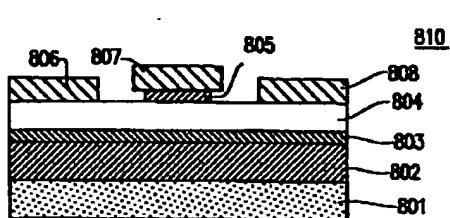
【図6E】



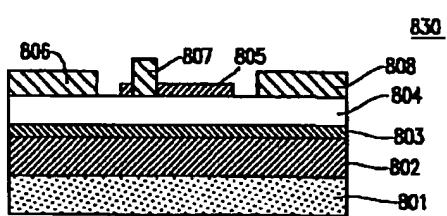
【図7】



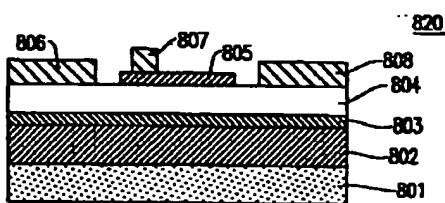
【図8B】



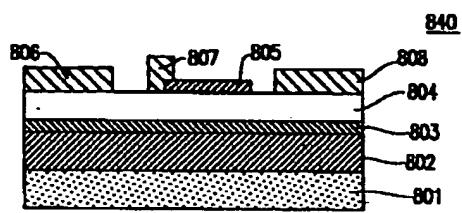
【図8D】



【図8C】



【図8E】



【図9】

